

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164257

(P2002-164257A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 G 4/30	3 0 1	H 0 1 G 4/30	3 0 1 F 5 E 0 0 1
4/12	3 5 2	4/12	3 5 2 5 E 0 8 2
	3 6 1		3 6 1

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願2000-356995(P2000-356995)

(22) 出願日 平成12年11月24日 (2000. 11. 24)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 桑 寿

東京都中央区日本橋1丁目13番1号ティー

ディーケイ株式会社内

(72) 発明者 相庭 尚

東京都中央区日本橋1丁目13番1号ティー

ディーケイ株式会社内

(74) 代理人 100079290

弁理士 村井 隆

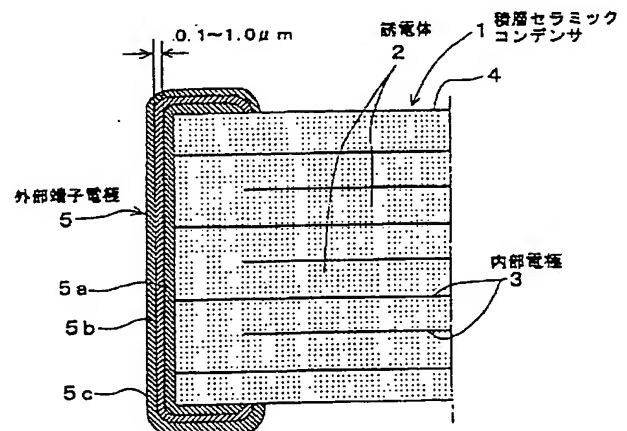
最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品

(57) 【要約】

【課題】 撓み強度及び耐ヒートサイクル性に優れた信頼性の高い積層セラミック電子部品を提供する。

【解決手段】 内部電極3を内設した積層セラミック素体4の両端に、Ag-Pd又はCuの下地電極層となる第1の電極層5aを、第1の電極層5a上にNi電着メッキ層の第2の電極層5b及びSn又はSn-Pbメッキ層の第3の電極層5cを順に重層して外部端子電極を形成する積層セラミック電子部品であって、前記電着Niメッキ層の厚みを0.1~1.0μmの範囲で形成する。



## 【特許請求の範囲】

【請求項1】 内部電極を内設した積層セラミック素体の両端に、Ag-Pd又はCuの下地電極層を、該下地電極層上にNiメッキ層及びSn又はSn-Pbメッキ層を順に重層して外部端子電極を形成する積層セラミック電子部品であって、前記Niメッキ層の厚みが0.1～1.0μmの範囲で形成されていることを特徴とする積層セラミック電子部品

【請求項2】 前記Niメッキ層が電着メッキで形成されている請求項1記載の積層セラミック電子部品。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば積層セラミックコンデンサ、積層バリスタ、積層誘電体共振器、積層圧電素子等の積層セラミック電子部品に係り、特に撓み強度及び耐ヒートサイクル性の高い外部端子電極を形成した積層セラミック電子部品に関するものである。

【0002】

【従来の技術】近年、電子機器等の小型化が進み、ディスプレイ部品は表面実装タイプの極小チップ部品になっており、高電圧又は低電圧の集積回路に用いられる、例えば積層セラミックコンデンサ等も極小化への要請が強くなっている。このため、電気回路との接合性も良好で、電気的特性、信頼性、機械的特性に優れる上に、焼結体の積層セラミック素体との接合強度が高く、且つ撓み強度及び耐ヒートサイクル性の高い外部端子電極の要請が一段と強くなっている。

【0003】例えば、図3に示す如く、従来の積層セラミック電子部品としての積層セラミックコンデンサ1は、Pd、Pt、Ag-Pd等の貴金属又はNi等の卑金属を用いた内部電極3を印刷した誘電体2のセラミックグリーンシートを順次積層し焼成し、複数に切断して形成された積層セラミック素体4の両端に、外部端子電極5を設けている。

【0004】ここで、外部端子電極5においては、前記内部電極3とのなじみを良くして、その接続部分に接続不良が生じないように、Ag-Pd又はCu等の金属粉末にガラスフリットを加えた導電ペーストを塗布し、焼き付けて下地電極層となる第1電極層5aを形成し、前記内部電極3の貴金属又は卑金属と融合させることで前記第1電極層5aと前記内部電極3とを良好な結合状態にしている。

【0005】そして、前記外部端子電極5は、前記第1電極層5a上に、搭載される基板上の電気回路と接続するにあたり、濡れ性及び耐はんだ性の向上、特にはんだ耐熱性を保持するためにNi等のメッキ皮膜でなる第2電極層5bと、外部電気接続として用いるはんだとの整合性を良くするためにSn又はSn-Pdを材料とした皮膜の第3電極層5cを更に重被覆して形成している。

【0006】前記第2電極層5bの形成は、一般に厚さ

3.0μm前後のNiメッキ層の皮膜によるものであり、皮膜部分が極めて小さいため、電流効率を確保するために基本組成のワット浴を用いたバレルメッキで処理されている。

【0007】本来電着応力の少ない、即ち大きい残留応力を残す浴組成物のNiCl<sub>2</sub>・6H<sub>2</sub>O（塩化ニッケル）の少ないスルファミン酸浴で処理されるのが理想とされるが、経済コストを考慮してワット浴を使用しているのが一般的であるとされている。

【0008】

【発明が解決しようとする課題】処が、その様にして形成した前記外部端子電極5にはんだ量を多くしたはんだ着けをする場合、-55～125℃の耐ヒートサイクル性に対して劣化する傾向があるので、Niメッキ層の膜厚を上げることにより対処してきた。その反面、膜厚が厚くなるほどにメッキ膜の引っ張り応力や圧縮応力が発生し、撓み強度が劣化するという悪循環が生じていた。

【0009】本発明は、上述の欠点を解消し、撓み強度及び耐ヒートサイクル性に優れた信頼性の高い極小積層セラミックコンデンサ等にも適用できる積層セラミック電子部品を提供することを目的としている。

【0010】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明は、内部電極を内設した積層セラミック素体の両端に、Ag-Pd又はCuの下地電極層を、該下地電極層上にNiメッキ層及びSn又はSn-Pbメッキ層を順に重層して外部端子電極を形成する積層セラミック電子部品であって、前記Niメッキ層の厚みが0.1～1.0μmの範囲で形成されていることを特徴としている。

【0012】前記積層セラミック電子部品において、前記Niメッキ層が電着メッキで形成されているとよい。

【0013】

【発明の実施の形態】以下、本発明に係る積層セラミック電子部品の実施の形態を図面に従って説明する。

【0014】図1は本発明に係る積層セラミック電子部品の実施の形態であって、積層セラミックコンデンサ1を構成した例であり、内部電極3を印刷した誘電体2のセラミックグリーンシートを積層、焼成して形成された積層セラミック素体4に外部端子電極5を設けた主要構成部分を示す。この場合、全体構成は従来の図3の場合と同様であるが、第1電極層5a（Ag-Pd又はCuの下地電極層）、第2電極層5b（Ni電気メッキ層）及び第3電極層5c（Sn又はSn-Pb電気メッキ層）を順次積層成形してなる外部端子電極5における前記第2電極層5bに工夫がある。

【0015】すなわち、前記第2電極層5bとしてのNiメッキ層の厚みが0.1～1.0μmの範囲で形成さ

れ、かつ前記Niメッキ層が電着メッキで形成されるようにしている。その理由を以下に説明する。

【0016】下記表1のNiメッキ組成浴(ワット浴)及び作業条件で、前記第2電極層5bとしてのNiメッキ層厚を、 $0.05\mu\text{m}$ 、 $0.10\mu\text{m}$ 、 $0.50\mu\text{m}$ 、 $1.00\mu\text{m}$ 、 $1.25\mu\text{m}$ 、 $1.50\mu\text{m}$ 、 $2.00\mu\text{m}$ 及び $2.50\mu\text{m}$ とした試料を作製した。

【0017】

【表1】

表1

組 成	組成量
硫酸ニッケル	240g/l
塩化ニッケル	45g/l
ホウ酸	35g/l
作業条件	作業値
pH	3.0~4.8
浴温	45~50℃
電流密度	0.1~10A/dm <sup>2</sup>
攪拌	空気攪拌

表2

N=100

検査項目	$\mu\text{m}$	0.05	0.10	0.50	1.00	1.25	1.50	2.00	2.50
クラック発生数		0	0	0	0	1	3	5	11
耐 熱 性		×	○	○	○	○	○	○	○

【0020】上記表2に示した如く、Niメッキ層が厚さ $0.10\sim 1.00\mu\text{m}$ の範囲で、クラック発生数が零で耐熱性も良く、良好な結果が得られた。厚さ $0.05\mu\text{m}$ 以下であると薄すぎて耐熱性が劣り、厚さ $1.25\mu\text{m}$ 以上になると耐熱性が増すが、図2のNiメッキ膜厚と撓み強度の関係からも明らかなように撓み強度が低下し、張力や圧縮力が大きくなり、ヒートサイクル試験でクラックが発生する。このクラック発生数は少なく判断され易いが、大量生産においては大きな不良率を誘起し生産歩留の低下に繋がる。

【0021】従って、耐熱性からNiメッキ層膜を厚くすることは必要であるが、高張力や圧縮力を考慮すると、耐熱性が維持できる最低限の厚さを確保すればよく、その厚さの範囲は $0.10\mu\text{m}\sim 1.00\mu\text{m}$ で充分であることが理解できる。

【0022】この厚さに限定することによりメッキコストも廉価になり、且つ、高張力や圧縮力を抑制するメッキ組成液の選択も不必要になる。

【0023】以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なことは当業者には自明であろう。

【0024】

【発明の効果】以上説明したように、本発明は、内部電極を内設した積層セラミック素体の両端に、Ag-Pd

【0018】各試料をそれぞれ100個選び、ヒートサイクル試験後のクラック発生数及び $350^\circ\text{C}$ 溶融のはんだ処理に対する耐熱性良否を検証し、その結果を、以下の表2に示す。但し、各試料の第1電極層5aはCuとし、第3電極層5cはSn-Pb電気メッキとした。

【0019】

【表2】

又はCuの下地電極層を、該下地電極層上にNiメッキ層及びSn又はSn-Pbメッキ層を順に重層して外部端子電極を形成する積層セラミック電子部品であって、前記Niメッキ層の厚みが $0.1\sim 1.0\mu\text{m}$ の範囲で形成されているので、撓み強度及び耐ヒートサイクル性に優れた信頼性の高い極小積層セラミックコンデンサ等にも適用できる積層セラミック電子部品を得ることが出来る。

【図面の簡単な説明】

【図1】本発明に係る積層セラミック電子部品の実施の形態を示す要部拡大断面図である。

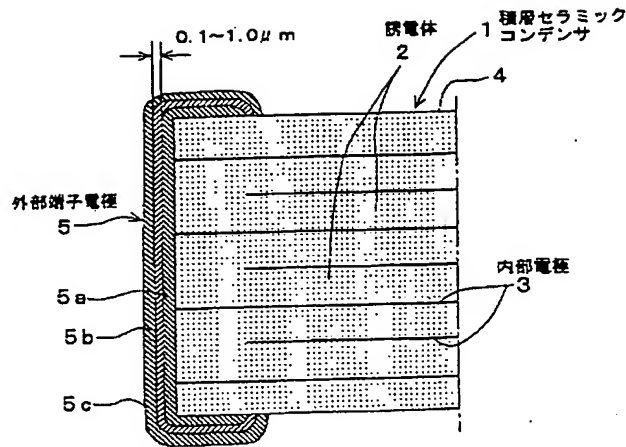
【図2】平面のNiメッキ膜厚と撓み強度との関係を示すグラフである。

【図3】従来の積層セラミック電子部品の正断面図である。

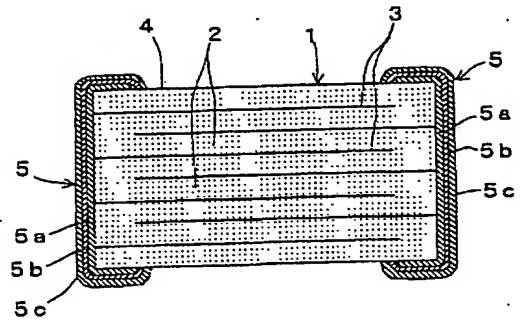
【符号の説明】

- 1 積層セラミック電子部品
- 2 誘電体
- 3 内部電極
- 4 積層セラミック素体
- 5 外部端子電極
- 5a 第1電極層
- 5b 第2電極層
- 5c 第3電極層

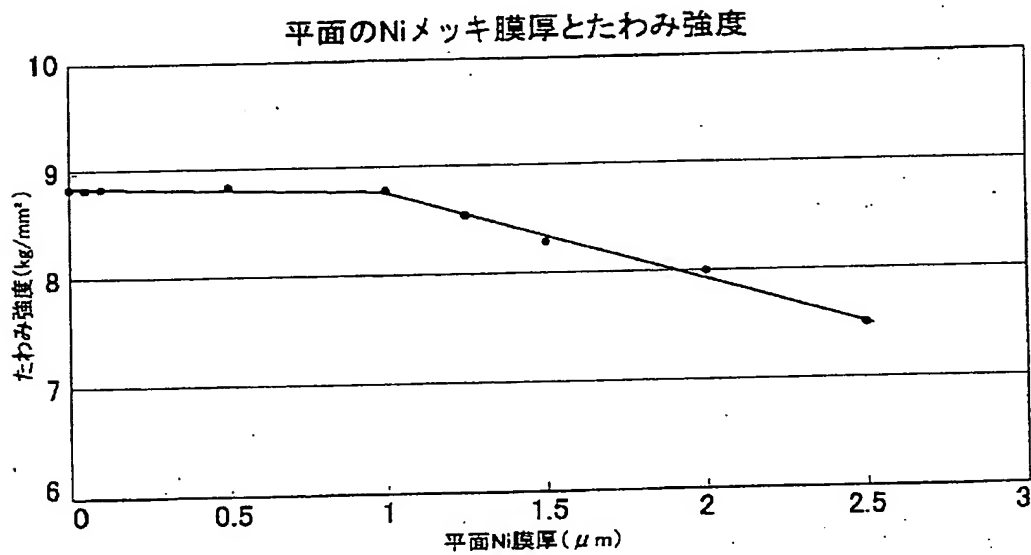
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 岡部 昌幸  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

(72)発明者 吉井 彰敏  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内  
Fターム(参考) 5E001 AB03 AC04 AF00 AH07 AJ03  
5E082 AA01 AB03 BC33 FG26 GG10  
GG26 PP09